

**Programa de Doctorado:
Ingeniería Aplicada**

CURSO METODOLÓGICO / <i>Methodological course 2024-25</i>		
Título del curso <i>Title</i>	Layout, verification and generation of GDSs for integrated circuit fabrication	
Departamento/Centro que lo imparte <i>Organizing Department/Centre</i>	INGENIERÍA ELÉCTRICA Y ELECTRÓNICA / TECNUN	
Profesor/es <i>Lecturers</i>	Andoni Beriain	
Idioma <i>Language</i>	Inglés/ <i>English</i> <input checked="" type="checkbox"/>	
	Castellano/ <i>Spanish</i> <input checked="" type="checkbox"/>	
	Euskera/ <i>Basque</i> <input type="checkbox"/>	
Nº de horas del curso <i>Number of hours</i>	25h	Presencial/ <i>In person</i> <input checked="" type="checkbox"/> San Sebastián Ibaeta <input type="checkbox"/> San Sebastián Miramón <input checked="" type="checkbox"/> Pamplona <input type="checkbox"/>
		Online <input type="checkbox"/>
Fechas previstas y horario <i>Expected dates/times</i>	First week of May. A whole week.	
Evaluación <i>Evaluation</i>	Asistencia/ <i>Assistance</i> <input checked="" type="checkbox"/>	
	Trabajo ó Práctica/ <i>Project</i> <input checked="" type="checkbox"/>	
	Examen/ <i>Exam</i> <input type="checkbox"/>	
	Otros/ <i>Other</i> <input type="checkbox"/>	Especificar/ <i>Specify</i> :
Requisitos previos <i>Requirements</i>	Skill in the use of the Cadence schematic design tool. Symbol and schematic level design proposal for implementation	
Programa <i>Program</i>	<ul style="list-style-type: none">• Layout tool introduction.• Basic layout implementation.• Circuit DRC verification with Calibre tools.• Circuit DRC verification with Calibre tools.• GDS generation and final checks.• Project.	